

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 04017374 A

(43) Date of publication of application: 22.01.92

(51) Int. Cl.

H01L 29/84
G01L 9/04

(21) Application number: 02120606

(71) Applicant: FUJI ELECTRIC CO LTD

(22) Date of filing: 10.05.90

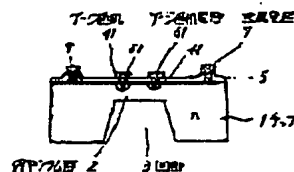
(72) Inventor: SAKAI TOSHIKI

(54) SEMICONDUCTOR PRESSURE SENSOR

(57) Abstract:

PURPOSE: To prevent scratches on the upper surface of a device while preventing the failure of bonding at the bottom to a support base by distributing a specific number of projections, taller than electrodes to be connected to gauge resistors and device regions, in the periphery of a semiconductor substrate.

CONSTITUTION: A diaphragm 2 and gauge resistors 41 are formed on the upper side of a silicon chip 1 that has a recess 3 on the other side. On the upper side, each resistor 41 is connected with an electrode 61 through a window in an oxide film, and at least three projections 7 are provided in chip border areas. The projections 7 are taller than the electrodes 61 and in contact with the chip surface on their bottom.



COPYRIGHT: (C)1992, IPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 半4-17374

⑫ Int. Cl.

H 01 L 29/84
G 01 L 9/04

識別記号

101

庁内整理番号

2104-4M
9009-2F

⑬ 公開 平成4年(1992)1月22日

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 半導体感圧素子

⑮ 特 願 平2-120606

⑯ 出 願 平2(1990)5月10日

⑰ 発 明 者 酒 井 利 明 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑱ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑲ 代 理 人 弁理士 山口 隆

明 細 書

1. 発明の名称 半導体感圧素子

2. 特許請求の範囲

1) 裏面側に凹部を有する半導体素体の表面側の第一導電型の層に第二導電型のゲージ抵抗もしくは第一導電型のゲージ抵抗および第一あるいは第二導電型の付属回路素子領域を有するものにおいて、半導体素体周辺部の前記表面上にゲージ抵抗および素子領域に接続される電極より高い少なくとも3個の突起が分散して設けられたことを特徴とする半導体感圧素子。

2) 半導体素体の裏面側の凹部の周囲の部分に台座と電極接合されるものであって、突起が前記凹部部分と電気的に接続されることを特徴とする請求項1記載の半導体感圧素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、自動車の吸入負圧の測定、押針の空気圧測定、水圧測定、医療用の血圧の測定などの用途に用いられるもので、半導体素体のダイヤフ

ラム部に設けたゲージ抵抗におけるピエゾ抵抗効果により圧力を電気信号に変換する半導体感圧素子に関する。

(従来の技術)

半導体感圧素子の半導体素体は、圧力により変形する薄いダイヤフラム部とそのダイヤフラム部に形成された他導電型のゲージ抵抗とを有する。第2図はそのような構造を示したシリコンチップ1にはダイヤフラム部2を設けて凹部3が形成され、ダイヤフラム部2にはブリッジを構成する複数のJ型ゲージ抵抗4が形成されている。このチップ1の凹部3と反対側の裏面は酸化膜5によって被覆され、その酸化膜の窓部で電極6がゲージ抵抗に接続し、外部回路との接続を可能にしている。また、最近の動向としては、ダイヤフラム部を有する半導体チップに、主要素のゲージ抵抗のほかに、増幅回路、補償回路などの付属回路をCMOSプロセスにより集積した小形、高圧感の感圧素子へと移りつつある。第3図はそのような感圧素子の半導体チップを示し、半導体チップ1の

特開平4-17374(2)

四部2が形成される。型基板11の上にp⁺分離層12を形成してn型エピタキシャル層13が堆積され、そのエピタキシャル層のp⁺分離層14で分離された領域にp⁺ゲージ抵抗41が、また別の分離された領域に付属回路のための素子領域42が形成されている。そして裏面の酸化膜5の窓部では、この素子領域42に素子電極62が形成している。そして電極61, 62は低圧形成酸化膜51により保護されている。ゲージ抵抗層61の延長部あるいは図示しないが素子電極62の延長部はこの保護膜より露出し、ボンディングパッドを形成している。

このような高圧素子の半導体チップを支持するために、バイレックスガラスなどの台座の上にチップを静電接合により固着して低コスト化を図ることが行われる。

(発明が解決しようとする課題)

第2図に示すような半導体チップの作成には、裏面側からのゲージ抵抗41の形成のための保護膜形成工程、裏面側からの四部3形成のためのエッチング工程が必要である。また、第3図に示すよう

な半導体チップの作成には、そのほかに裏面側からの素子領域42形成のためのIC改修工程が必要である。このため、チップの素材であるシリコンウエーハは、裏面、裏面下方より取扱われる。従って、四部3の形成工程では、ウェーハを裏面側を下向きにして搬送ベルト上で搬送したり、チャックしたりするため、ゲージ抵抗41あるいは素子領域42の形成される裏面側のきず不良の発生が多いという問題がある。また、高圧素子の半導体チップをバイレックスガラスなどの台座と静電接合する組立工程では、チップ側に止、台座側にある極性で例えば800Vの電圧の印加を必要とするが、この場合もチップ裏面側のきず不良発生の問題、あるいはチップ裏面に絶縁膜があるため電圧印加用の電極への接触不良による接合不良の発生の問題があった。

本発明の目的は、上述の問題を解決し、ゲージ抵抗、付属回路素子領域の形成される裏面側へのきず不良の発生、あるいは裏面側への台座と静電接合する際の接合不良の発生のおそれなく取扱

うことの出来る半導体素子を有する半導体高圧素子を提供することにある。

(課題を解決するための手段)

上記の目的を達成するために、裏面側に四部を有する半導体素体の裏面側の第一導電型の層に第一導電型のゲージ抵抗もしくは第二導電型のゲージ抵抗および第一あるいは第二導電型の付属回路素子領域を有する半導体高圧素子において、半導体素体周辺部の前記裏面にゲージ抵抗および素子領域に接触される電極より高い少なくとも3個の突起が分散して設けられたものとする。さらに、そのような半導体高圧素子の半導体素体の裏面側の四部の周囲の部分に台座と静電接合されるものであり、突起が前記周囲部分と電気的に接触される電極であるものとする。

(作用)

半導体素体のゲージ抵抗および素子領域に接触される電極より高い突起が3個以上、素体の周辺部に分散して設けられているため、そのような突起の存在する面を下面にしてチャックしたり、搬

送したりなどしても、突起がチャックあるいは搬送ベルトなどの硬い面に接触し、その裏面の内側にある部分は接触する機会が減少するので、きずの発生が防止できる。また静電接合時には、半導体素体の接合される部分と電気的に接触された電極を3個以上、半導体素体の表面の周辺部に他の電極より高く設けられることにより、静電接合のための電圧を印加する電極または台座にその電極を接触させて支持すれば、その裏面の内側にある部分は支持台に接触することがなく、きずの発生が防止できると共に、電圧印加のための接触が確実に行われる。

(実施例)

以下、第2図、第3図と共通の部分に同一の符号を付した図を引用して本発明のいくつかの実施例について説明する。第1図に示した実施例では、第2図と同様にダイヤフラム部2およびゲージ抵抗41を形成したシリコンチップ1の四部3と反対側の面には、酸化膜5の窓部で、接続用の電極61がゲージ抵抗41に接触するはかに裏面突起7が同

特開平4-17374(3)

近4個所でチップ1に接合している。金属突起7の高さは電極1の高さより高い。そして下端がチップ1の表面に密着することにより高い固着強度を持っている。第4図は、別の実施例で、第1、第2図と同様に、半導体チップ1にゲージ抵抗のみを形成したチップ1を向の平面図および向の断面図で示し、チップ表面を酸化膜5、低溫酸化膜51、窒化膜52が被覆している。ゲージ抵抗41に接触し、酸化膜6、低溫酸化膜51を貫通し、窒化膜52の窓部より露出する電極61にボンディングパッド81が固着している。金属突起7は、下端がチップ面に密着し、電極61と同様に酸化膜5、低溫酸化膜51を貫通し、窒化膜52の窓部より露出する導体71に固着している。第5図はパッド81と金属突起7の部分の詳細を示し、金属突起7のトには酸化膜5の厚い部分50が形成されている。その結果、金属突起7とボンディングパッド81との間には段差が生ずる。トはチップの大きさに応じて適宜選ばれる。この段差があるため、半導体チップ1の電極61のある面を下にして搬送ベルトに載せた場合、金属

突起7がベルトに接触し、ゲージ抵抗41のある部分はベルトに接触することはない。

第6図、第7図は第3図と同様に付属回路の接続されたC型半導体電圧素子の半導体チップ1を示し、第6図の実施例では、金属突起の役をする電極63は接続導体71を介して、分断層14に接触し、チップのP型基板11に電気的に接続される。そしてこの電極63と素子電極62の延長部に形成されるボンディングパッド82と同様に酸化膜5の厚い部分50に基づく段差が形成されている。第7図の実施例では、そのような段差が導体71の上に形成されたポンプ電極64を高くすることにより形成される。

第8図は、第6、第7図に示した実施例の金属突起の役をする基板接続電極63を静電接合時のシリコンチップ1への接触電極として利用する状態を示す。すなわち、下部電極21の上にシリコンチップ1を載せ、さらにその上にバイレックスガラスよりなる台座22、上部電極23を重ね、図示しないが下部電極21を加熱体の上に載せてチップを

300〜500℃に加熱し、上、下電極間に電圧24により800V程度の電圧を印加すると、チップ1の面と台座22の面との間に30〜40%の力が働き、静電接合が行われる。この場合、電極63はチップ上の酸化膜より高く、また分断層を過ぎて図部2図の基板部分に電気的に接続されているので、電圧の印加は静電で接合不良が生じない。

(発明の効果)

本発明によれば、半導体電圧素子の半導体素子の凹部と反対側の表面周辺部に円周に存在する電極よりも高い突起を分散して形成し、支持体面にその突起が接触するようにすることにより、搬送ベルトなどで支持する場合の素子の搬送領域への接触が避けられ、きず等の損傷の発生による特性劣化がなくなる。また、その突起の役を図部の周囲部分に電気的に接続される電極に引受けさせることにより、その周囲部分と台座との静電接合を行うための電圧印加の接続電極として用いることができる。他の部分より高いため接触不良の発生がなく、静電接合の信頼性を高めることができる。

4. 図面の簡単な説明

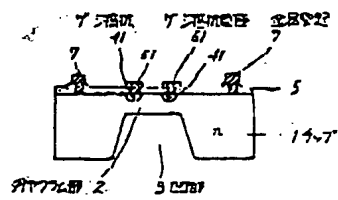
第1図は本発明の一実施例の第7図の断面図、第2図は従来の素子の断面図、第3図は従来の別の素子の断面図、第4図は本発明の他の実施例の素子を示し、そのうち向は平面図、向は断面図、第5図は第4図の素子の一部拡大断面図、第6図、第7図は本発明のさらに異なる実施例の素子それぞれの断面図、第8図は本発明による素子の使用例を示す断面図である。

1：シリコンチップ、2：ダイヤフラム部、3：凹部、41：ゲージ抵抗、42：素子領域、61：ゲージ抵抗電極、62：素子電極、63：基板接続電極、64：ポンプ電極、7：金属突起、71：導体、81、82：ボンディングパッド。

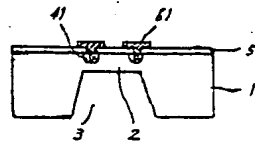
代理人 山 口 昌



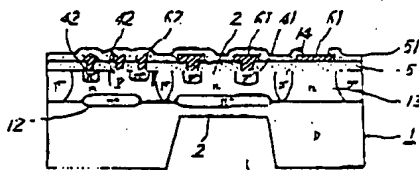
特開平4-17374 (4)



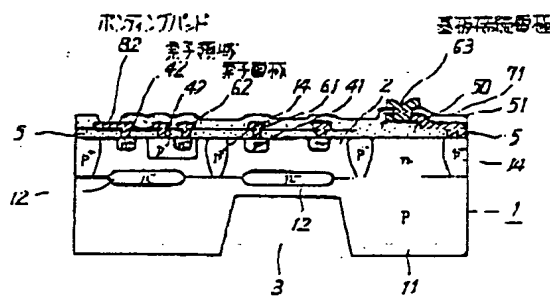
第 1 図



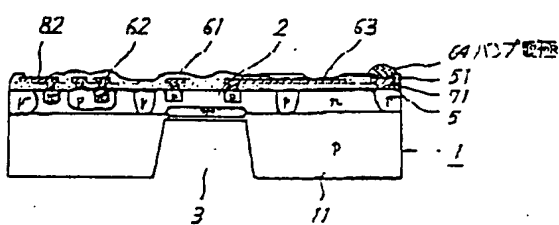
第 2 図



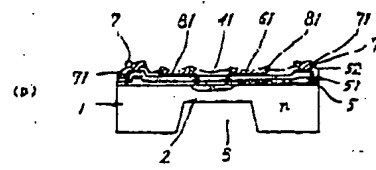
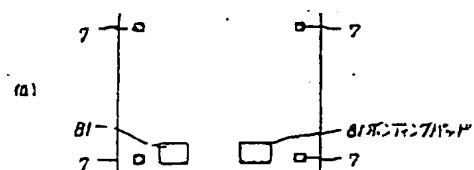
第 3 図



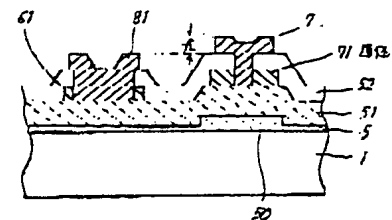
第 6 図



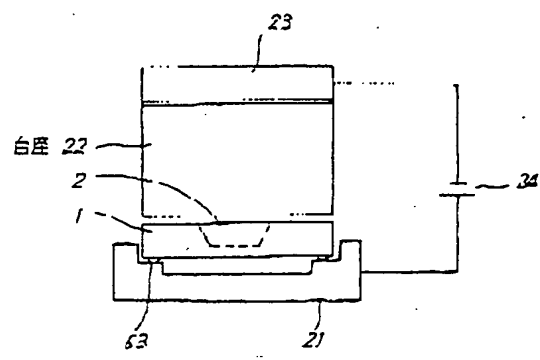
第 7 図



第 4 図



第 5 図



第 8 図